

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-235290

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/092

29/784

7342-4M

7377-4M

H 0 1 L 27/ 08

29/ 78

3 2 1 L

3 0 1 C

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平4-72835

(22)出願日 平成4年(1992)2月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山本 豊二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 菅野 中

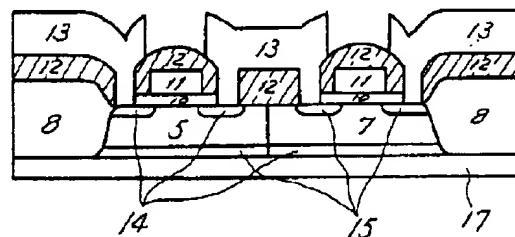
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 順方向基板バイアスを加えて動作する相補型トランジスタの面積縮小、性能向上を図る。

【構成】 裏面電極17を用いて相補型トランジスタのpウェル7とnウェル5とを接続する。pウェル7とnウェル5の裏面を用いることで、面積縮小ができる。本発明による半導体装置は、ウェル形成時のイオン注入でフィールド酸化膜7の下部に対応する深さに 10^{19}cm^{-3} 以上の濃いピークを形成した後、シリコン基板1を研磨して、pウェル7及びnウェル5を露出させ、裏面に金属電極17を形成することによって得られる。

【効果】 本発明では、デバイス動作を行う半導体基板が薄膜化されるので、薄膜半導体を持つ利点（例えば、スイッチ速度が速くなるという効果）が同時にもたらされる。



- | | |
|-------------|-----------------------|
| 1. 基板 | 12. 層間絶縁膜 |
| 5. nウェル | 13. 金属配線 |
| 7. pウェル | 14. p ⁺ 領域 |
| 8. フィールド酸化膜 | 15. n ⁺ 領域 |
| 10. ゲート酸化膜 | 17. 裏面電極 |
| 11. ゲート電極 | |

【特許請求の範囲】

【請求項1】 1つの基板内にpチャネルトランジスタとnチャネルトランジスタとを有する相補型MOSトランジスタであって、

pチャネル及びnチャネルトランジスタが形成されているn型ウェル及びp型ウェルは、基板の裏側に形成した電極に接続され、同電位に保つものであることを特徴とする半導体装置。

【請求項2】 イオン注入を用いて半導体基板中に埋め込まれている素子分用離酸化膜とほぼ同じ深さに不純物濃度のピークを作り、ピーク濃度が 10^{19} cm^{-3} 以上とオーミック接触が容易に得られる程度に濃く、なおかつ表面濃度が 10^{16} cm^{-3} 程度に薄くなるようなウェル領域を形成する工程と、

相補型MOSトランジスタを形成した後、半導体基板の裏面を研磨してp型及びn型ウェル領域を露出させ、それを覆うように金属配線を基板の裏面に形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁ゲート電界効果型トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】絶縁ゲート電界効果型トランジスタを用いた半導体装置においては、トランジスタを微細化し、また、微細化に伴い、トランジスタの長期信頼性を保証するために動作電圧を小さくすることで、動作速度の向上、高集積化、低消費電力動作を達成してきた。

【0003】一方、トランジスタのオン電流とオフ電流との比を充分大きく取りかつオフ電流を充分小さくするためには、トランジスタのしきい値電圧を0.5V程度以下に下げることができない。それ故、現状の方法でトランジスタの微細化と電源電圧の低下が進むと、設計ルールが0.1 μm 程度以下になると動作速度が遅くならざるを得ない。

【0004】一般に、半導体装置を液体窒素温度のような低温で動作させると、しきい値電圧を0.15V程度まで下げても充分大きなオン電流とオフ電流の比が得られ、かつ充分小さなオフ電流が得られることが知られている。それ故、低温動作に移行することによって動作速度は落ちず、0.1 μm 以下の微細化により、さらなる高性能化が期待できる。

【0005】トランジスタの微細化が進み、ゲート長が0.1 μm 以下になると、この場合は、短チャネル効果が問題となる。低温CMOS回路においては、常温CMOS回路とは異なった方式を取り、nチャネルトランジスタのpウェル、及びpチャネルトランジスタのnウェルに独立した電位を与えて、ウェル・ソース間pn接合を順方向にバイアスすると、短チャネル効果が抑制できること、及び、CMOS構造を工夫して、ウェル電位を

与える外部電源と配線を最小限に抑えて、上記方式を実現する方法が福岡により特許出願されている（特願平1-94560号）。

【0006】

【発明が解決しようとする課題】図4に福岡により報告されたCMOS構造を示す。この構造の特徴は、pウェル領域7とnウェル領域5内に、それぞれp（プラス）領域14とn（プラス）領域15を設け、電極形成時に金属配線13でこの2つを電氣的に接続する点である。

10 【0007】すなわち、絶縁ゲート電界効果型トランジスタが形成されている基板1の上部にnウェル及びpウェル電極用のコンタクト孔を開けて、それをアルミ等の金属配線13で短絡させ、基板1の裏面電極17に電源電圧の丁度半分の電圧を加える。

【0008】こうすると、pウェル7内のnチャネルトランジスタとnウェル5内のpチャネルトランジスタに同時に同じ大きさの順方向ウェル電位を与えることができる。参考のため、図3と同一構成部分には同じ符号を付している。

20 【0009】この半導体装置の本質は、pウェル7とnウェル5を同電位にすることである。福岡の構造では半導体上部にコンタクト孔を設け、それを金属配線13で接続しているが、ウェル領域の下部の不要な半導体基板を取り去り、そこに金属電極を形成しても、装置の本質は変わらない。すなわち、福岡の構造は明らかに不要部分を含み、半導体装置の高集積化を阻害するという問題点があった。

【0010】本発明の目的は、さらに不要部分をなくして面積の縮小化、高性能化を実現した半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明による半導体装置においては、1つの基板内にpチャネルトランジスタとnチャネルトランジスタとを有する相補型MOSトランジスタであって、pチャネル及びnチャネルトランジスタが形成されているn型ウェル及びp型ウェルは、基板の裏側に形成した電極に接続され、同電位に保つものである。

40 【0012】また、本発明による半導体装置の製造方法においては、イオン注入を用いて半導体基板中に埋め込まれている素子分用離酸化膜とほぼ同じ深さに不純物濃度のピークを作り、ピーク濃度が 10^{19} cm^{-3} 以上とオーミック接触が容易に得られる程度に濃く、なおかつ表面濃度が 10^{16} cm^{-3} 程度に薄くなるようなウェル領域を形成する工程と、相補型MOSトランジスタを形成した後、半導体基板の裏面を研磨してp型及びn型ウェル領域を露出させ、それを覆うように金属配線を基板の裏面に形成する工程とを有するものである。

【0013】

50 【作用】本発明は、金属基板に半導体薄膜を成長させた

3

あと、イオン注入を用いて金属基板界面の不純物濃度ピークを 10^{19}cm^{-3} 以上と金属基板に対してオーミック接触が得られる程度に濃くし、なおかつ表面温度が 10^{16}cm^{-3} 程度に薄くなるようなウェル領域を形成するものである。

【0014】図3に示した本発明の構造においては、p及びnウェルの接続を基板の裏側で行うので、図4に示した従来構造に存在するp及びnウェルコンタクト孔とそれを接続する金属配線が不要となる。それ故、その領域分だけ半導体装置の面積が縮小でき、従来以上の高集積化が可能になる。

【0015】

【実施例】以下、図1、図2の一連の工程図、図5(a)、(b)の不純物分布図、及び図3の構造図を用いて、本発明を用いたCMOSトランジスタの構造、及び製造方法の典型的な実施例について説明する。

【0016】図1(a)は、基板1として不純物濃度 $1\times 10^{15}\text{cm}^{-3}$ のp型シリコンウェハ1を熱酸化して500Å厚の酸化膜2を成長し、その上に窒化膜3をCVDで1000Å堆積させた後、要所にフォトレジスト4を付し、マスク工程を用いてnウェル領域部分の窒化膜をエッチングで取り除き、nウェルドープのためリンのイオン注入をエネルギー300KeV、ドーズ量 $1\times 10^{15}\text{cm}^{-2}$ で行っている段階を示す。

【0017】この時、nウェル5におけるリンプロファイルのピーク位置とピーク濃度はそれぞれ基板から0.4μm深さ、 $4\times 10^{19}\text{cm}^{-3}$ になり、基板表面濃度は $1\times 10^{16}\text{cm}^{-3}$ となる(図5(a))。

【0018】次にフォトレジスト4を取り除き、熱酸化により8000Åの酸化膜6を成長する。窒化膜の下30のシリコンはほとんど酸化されないので、窒化膜をエッチングで取り除いた後、ボロンをエネルギー150KeV、ドーズ量 $1\times 10^{16}\text{cm}^{-2}$ でイオン注入すると、自己整合でpウェル7ができる(図1(b))。

【0019】この時、ボロンプロファイルのピーク位置とピーク濃度はそれぞれ基板1から0.4μm深さ、 $5\times 10^{20}\text{cm}^{-3}$ になり、基板表面濃度は $2\times 10^{15}\text{cm}^{-3}$ となる(図5(b))。

【0020】次にウェル領域活性化のための熱処理を行い、酸化膜を取り除く(図1(c))。次に、LOCOS酸化法で素子分離を行う。この時、フィールド酸化膜8の膜厚は、8000Åとし、下地シリコンの埋め込まれた酸化膜厚が、ウェル領域の不純物分布がピークとなる深さと同程度の位置9になるように決める(図2(d))。

【0021】その後、従来の工程と同様にしてp(プラス)領域14、n(プラス)領域15、ゲート酸化膜10、ゲート電極11、層間絶縁膜12、ソース・ドレイン領域、コンタクト、金属配線13を形成して相補型MOSトランジスタを作る(図2(e))。

4

【0022】次に、ウェハ上部全面を保護膜16で覆い、基板1を選択ポリッシング法により削り取る。選択ポリッシング法においては、酸化膜は研磨されないのので、研磨後のウェハ断面は、図2(f)に示したようにpウェル領域7とnウェル領域5の下部が露出される。

【0023】次に、ウェハ裏面に金属を蒸着あるいはスパッタ等で堆積して裏面電極17を形成する。金属と接触する部分のウェル濃度は、ウェルイオン注入工程で、すでに 10^{19}cm^{-3} 以上に濃くなっている(図5(a)、(b))、容易にオーミック接触を得ることができる。最後に、ウェハ上部の保護膜16を取り除くことで、最終的なデバイス構造(図3)を得る。

【0024】以上実施例では、従来のシリコンCMOSトランジスタを例にあげて説明したが、本発明は明らかに一般の相補型絶縁ゲート電界効果型トランジスタに適用可能であり、本発明には、裏面電極でpウェルとnウェルが接続されたあらゆる相補型絶縁ゲート電界効果型トランジスタが当然含まれる。

【0025】

【発明の効果】以上のように本発明によれば、従来、基板上部に存在したnウェルとpウェルのコンタクト孔とそれを接続する金属配線が不要になり、半導体装置の面積が縮小され、従来以上の高集積化が達成できる。また、本発明を適用すると必然的にトランジスタ動作を行う領域が薄膜化されるので、薄膜トランジスタで知られているような、例えば、トランジスタのスイッチ速度が向上するといった各種の利点が自動的にもたらされる。

【図面の簡単な説明】

【図1】本発明の製造手順の一例である。

【図2】本発明の製造手順の一例である。

【図3】本発明の半導体装置の構造の模式図である。

【図4】福間により報告された従来構造の模式図である。

【図5】本発明のトランジスタ構造におけるウェル不純物濃度の深さ方向分布の一例を示す図である。

【符号の説明】

- 1 p型シリコンウェハ
- 2 酸化膜
- 3 窒化膜
- 4 フォトレジスト
- 5 nウェル
- 6 酸化膜
- 7 pウェル
- 8 フィールド酸化膜
- 9 ウェル不純物濃度のピーク位置
- 10 ゲート酸化膜
- 11 ゲート電極
- 12 層間絶縁膜
- 13 金属配線

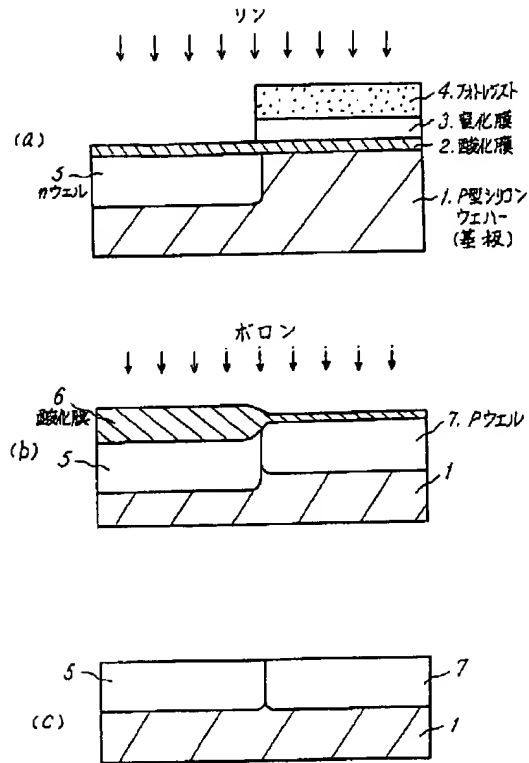
5

6

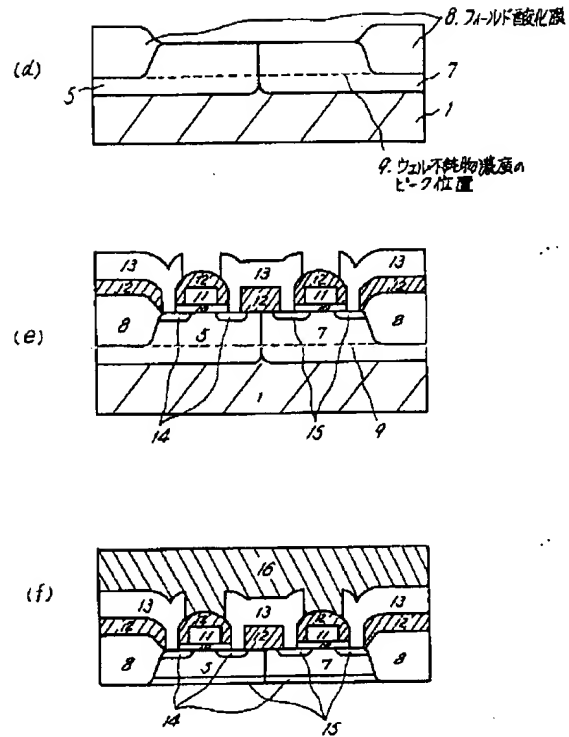
- 14 p (プラス) 領域
15 n (プラス) 領域

- 16 保護膜
17 裏面電極

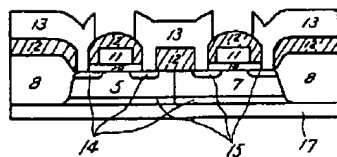
【図1】



【図2】

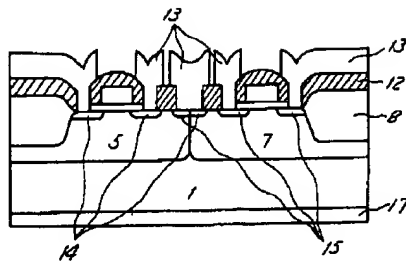


【図3】

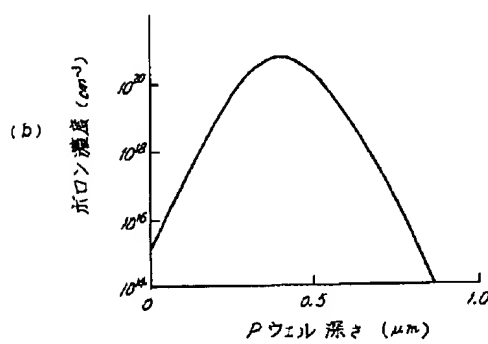
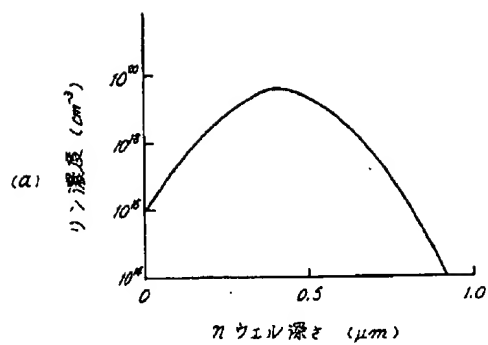


1. 基板
5. n ウェル
7. p ウェル
8. フィールド酸化膜
10. ゲート酸化膜
11. ゲート電極
12. 層間絶縁膜
13. 金属配線
14. p+ 領域
15. n+ 領域
17. 裏面電極

【図4】



【図5】



PAT-NO: JP405235290A

DOCUMENT-IDENTIFIER: JP 05235290 A

TITLE: SEMICONDUCTOR DEVICE
AND ITS MANUFACTURE

PUBN-DATE: September 10, 1993

INVENTOR-INFORMATION:
NAME
YAMAMOTO, TOYOJI

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP04072835

APPL-DATE: February 24, 1992

INT-CL (IPC): H01L027/092, H01L029/784

US-CL-CURRENT: 257/369

ABSTRACT:

PURPOSE: To improve performance by reducing the area of a complementary transistor operating with a forward substrate bias added.

CONSTITUTION: A p-well 7 and n-well 5 of a complementary transistor are connected together by using a rear electrode 17. By using the rear of p-well 7 and n-well 5, the area can be reduced. A semiconductor device of the present invention has a dark peak formed larger than 10^{19}cm^{-3} at the depth corresponding to the lower portion of a field oxide film 7 by ion implantation during well formation. A silicon substrate is polished, p-well 7 and n-well 5 are exposed, and a metal electrode 17 is formed on the rear. By doing this, the semiconductor substrate

performing device operation can be made thinner so that the advantages possessed by thin film semiconductor can be obtained at the same time (for example, effect of increased switching speed).

COPYRIGHT: (C)1993,JPO&Japio